

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.10200000058035 (43) Publication Date. 20000925

(21) Application No.10200000006763 (22) Application Date. 20000214

(51) IPC Code:

H01L 21/60

(71) Applicant:

MITSUBISHI GAS CHEMICAL COMPANY, INC.

(72) Inventor:

KIMBARA, HIDENORI

IKEGUCHI, NOBUYUKI

KOMACHYUKA, CHYUJI

(30) Priority:

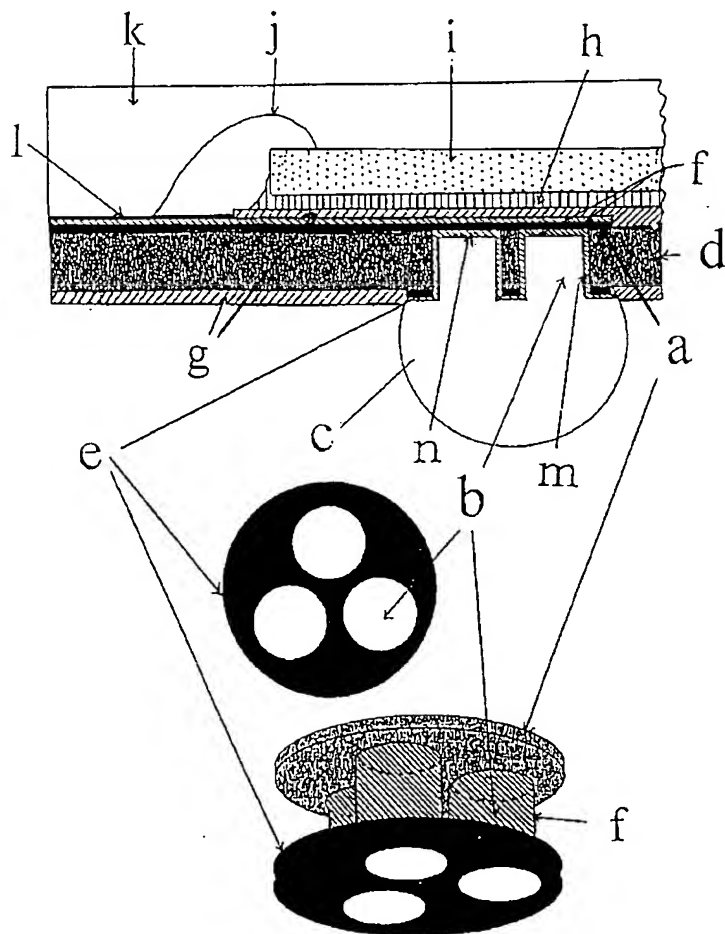
99 36365 19990215 JP

99 89782 19990330 JP

(54) Title of Invention

PRINTED WIRING BOARD FOR SEMICONDUCTOR PLASTIC PACKAGE

Representative drawing



(57) Abstract:

PURPOSE: A printed wiring board for a semiconductor plastic package is provided to overcome a bad adhesion of a solder ball to a base material by reducing the size of the solder ball.

CONSTITUTION: In a printed wiring board for a semiconductor plastic package having a double-side copper-clad laminate composed of an insulation layer including respective copper foils on both sides in which the thickness of the insulation layer is not thicker than 0.2 mm, the double-side copper-clad laminate has an upper copper foil surface and a lower copper foil surface. The upper copper foil surface includes a wire bonding or a flip chip bonding, and a copper pad. The wire bonding or the flip chip bonding connects a terminal of a semiconductor chip to a board. The copper pad is disposed in a position to be connected to a blind via hole formed on the lower copper foil surface, electrically connected to the terminal of the wire bonding or the flip chip bonding. The lower copper foil surface has a solder-ball-fixing pad in a position corresponding to the copper pad. The solder-ball-fixing pad has at least two blind via holes in it. The solder-ball-fixing pad, connected to a back side of the copper pad with a conductive material, is electrically connected to the conductive material with a solder ball filled up and mounded in the blind via hole.

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. ⁶

(11) 공개번호 특2000-0058035

H01L 21 /60

(43) 공개일자 2000년09월25일

(21) 출원번호 10-2000-0006763

(22) 출원일자 2000년02월14일

(30) 우선권주장 36365/99 1999년02월15일 일본(JP)

(71) 출원인 89782/99 1999년03월30일 일본(JP)

미쓰비시 가스 케미칼 컴파니, 인코포레이티드 오히라 아끼라

(72) 발명자 일본 도쿄 100-8324 짜요다구 마루노우찌 2-쵸메 5-2
킴바라히데노리

일본, 도쿄, 카츠시카-구, 니쥬쿠6-쵸메, 1-1미쓰비시가스케미칼컴파니인코포레이티드내

이케구치노부유키

일본, 도쿄, 카츠시카-구, 니쥬쿠6-쵸메, 1-1미쓰비시가스케미칼컴파니인코포레이티드내

코마츠키츄지

(74) 대리인 일본, 도쿄, 카츠시카-구, 니쥬쿠6-쵸메, 1-1미쓰비시가스케미칼컴파니인코포레이티드내
손원, 전준항

심사청구 : 없음

(54) 반도체 플라스틱 패키지용 인쇄배선판

요약

솔더볼의 크기와 칩크기 스케일 패키지에 있어서, 최근 감소되는 모재에 대한 솔더볼의 나쁜 접착력을 극복하고, 인쇄배선판의 왜곡이 감소되고, 그리고 와이어본딩(wire bonding)이나 플립 칩 본딩(flip chip bonding)에 의해 상기 인쇄배선판 상에 반도체 칩을 장착하여 형성된 반도체 플라스틱 패키지의 왜곡이 감소되는, 칩크기 스케일 패키지용 인쇄배선판이 제공된다.

칩 스케일 패키지용 기판으로서, 양면에 구리박을 갖는 상기 인쇄배선판은 절연층으로 구성된 양면 구리-클래드 적층물을 갖는데,

상기 양면 구리-클래드 적층물은 상부 구리박 표면과 하부 구리박 표면을 갖고;

상기 상부 구리박 표면은, 기판에 반도체 칩의 터미날을 연결하기 위한 와이어본딩(wire bonding)이나 플립 칩본딩(flip chip bonding) 및, 그 와이어본딩이나 플립칩본딩 터미날에 전기적으로 연결될 수 있고 그리고 하부 구리박 표면에 형성된 블라인드 비아홀에 연결될 수 있는 위치에 구리패드를 갖고;

상기 하부 구리박 표면은, 상기 구리패드에 대응하는 위치에 솔더-볼-고정 패드(solder-ball-fixing pad)를 갖고;

상기 솔더-볼-고정패드는 그 안에 최소 두개의 블라인드 비아홀(blind via holes)을 갖고; 그리고

상기 구리패드의 배면에 전도성물질로 연결된 상기 솔더-볼-고정패드는, 블라인드 비아홀에 녹아 채워져 마운딩되는 (mounded) 솔더볼로 전도성 물질(conductive material)에 전기적으로 연결된다.

대표도

도1

명세서

도면의 간단한 설명

도1은 실시예 1에 있어서, 각각 직경이 0.1mm이고 솔더패드에 만들어진 세가지 블라인드 비아홀과 솔더볼의 점합상태 (junction state)를 나타낸다.

도2는 실시예 2에 있어서, 인쇄배선판과 반도체 플라스틱 패키지의 제조단계를 나타낸다.

도3은 실시예 4에 있어서, 인쇄배선판을 이용한 반도체 플라스틱 패키지를 나타낸다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 플라스틱 패키지용 인쇄배선판(printed wiring board)에 관한 것이다. 보다 상세하게는, 반도체 칩과 크기가 거의 같은 소형 인쇄배선판위에 장착된 반도체 칩으로 구성된 칩 스케일 패키지(Chip Scale Package: CSP)용 인쇄배선판에 관한 것이고, 특히, 매우 얇은 BGA(Ball Grid Array)형 플라스틱 패키지용 인쇄배선판에 관한 것이다.

본 발명의 최종 생산물로서 그 위에 반도체 칩이 있는 상기 인쇄배선판은 마이크로-컨트롤러(micro-controller), ASIC(Application Specific IC), 메모리, 등에 이용된다. 상기 패키지는 솔더볼과 함께 마더보드 인쇄배선판에 연결되고, 전자기기 혹은 장비에 이용된다.

종래 칩 스케일 패키지(CSP)용 모재(base material)는 주로 유리 에폭시 재료, 폴리이미드 막재료 및 세라믹재료로 구성된 얇은 시트로 부터 선택된다. 이들 시트로 구성된 패키지에 있어서, 솔더볼/솔더볼의 간격은 0.8mm 이상이지만, 패키지의 두께, 크기 및 무게를 줄이도록 하고 있다. 따라서, 최근 솔더볼(solder ball)은 직경이 점차 작아지고, 솔더볼 피치(solder ball pitch)와 배선의 라인/스페이스(line/space) 간격은 감소하고 있다. 상기와 같은 추세는 기판의 열저항과 수분흡수후 다층보드의 전기적 절연, 및 내이동성(anti-migration)에 있어서 문제를 유발한다.

종래 BGA와 CSP에 있어서, 모재에 대한 솔더볼의 점착력(adhesion)은 솔더볼 패드의 크기 감소에 따라 감소하여, 결함이 있는 제품을 유발한다. 더욱이, 기판(substrate)이 매우 얇기 때문에, 인쇄배선판은 기판의 전면과 배면(front and reverse surface)에 대한 솔더레지스트(solder resist)의 두께변화와 구리박의 잔류비(residual ratio)에 있어서의 차이로 인한 왜곡(distortion)을 불가피하게 겪게 된다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은, 솔더볼의 크기감소로 인한 모재에 대한 솔더볼의 열악한 점착력을 극복하는 CSP용 인쇄배선판을 제공하는 것이다.

본 발명의 다른 목적은 상기 인쇄배선판의 왜곡이 감소되고, 와이어본딩(wiring bonding)이나 플립 칩 본딩(flip chip bonding)에 의해 인쇄배선판상에 반도체 칩을 장착(mounting)함으로써 형성된 반도체 플라스틱 패키지의 왜곡(distortion)이 감소되는 CSP용 인쇄배선판을 제공하는 것이다.

나아가 본 발명의 또 다른 목적은, 열저항(heat resistance), 수분흡수후 전기적 절연성(electric insulation) 및 내이동성(anti-migration)에 있어서, 패키지의 두께, 크기 및 무게의 감소로 인해 유발되는 퇴화를 극복하는 CSP용 인쇄배선판을 제공하는 것이다.

발명의 구성 및 작용

본 발명 1에 의하면, 칩 스케일 패키지용 기판으로서, 두께가 0.2mm 이하이고 그 양면(즉, 한면과 다른 한면)에 구리박(copper foil)을 갖는 절연층(insulation layer)으로 구성된 양면 구리-클래드 적층물(double-side copper-clad laminate)을 갖는, 반도체 플라스틱 패키지용 인쇄배선판이 제공된다.

상기 양면 구리-클래드 적층물은 상부 구리박 표면과 하부 구리박 표면을 갖고, 상기 상부 구리박 표면에는 기판에 반도체 칩의 터미날을 연결하기 위한 와이어본딩(wire bonding)이나 플립 칩본딩(flip chip bonding) 및, 그 와이어본딩이나 플립칩본딩 터미날에 전기적으로 연결될 수 있고 그리고 하부 구리박 표면에 형성된 블라인드 비아홀에 연결될 수 있는 위치에 구리패드가 있다.

상기 하부 구리박 표면은, 상기 구리패드에 대응하는 위치에 솔더-볼-고정 패드(solder-balls-fixing pad)를 갖고,

상기 솔더-볼-고정패드는 그 안에 최소 두개의 블라인드 비아홀을 갖고; 그리고

상기 구리패드의 배면에 전도성물질로 연결된 상기 솔더-볼-고정패드는, 블라인드 비아홀에 녹아 채워져 마운딩되는(mounded) 솔더볼로 전도성 물질(conductive material)에 전기적으로 연결된다.

더욱이, 본 발명 1에 의하면, 상기한 바와 같은 인쇄배선판이 제공되는데, 상기 양면 구리-클래드 적층물의 절연층은 필수성분으로서 다작용성 시아네이트 에스테르(polyfunctional cyanate ester)와 상기 시아네이트 에스테르의 예비중합체(prepolymer)를 함유하는 열경화성 수지조성물이 접착하고 있는 막이거나 또는 그러한 막의 다층보드(multi-layered board)이다.

또한, 본 발명 1에 의하면, 상기한 바와 같은 인쇄배선판이 제공되는데, 상기 양면 구리-클래드 적층물의 절연층은, 필수성분으로서 다작용성 시아네이트 에스테르와 상기 시아네이트 에스테르의 예비중합체를 함유하는 열경화성 수지조성물을 보강기판(reinforcing substrate)에 함침하고, 프리프레그 시트(prepreg sheets)를 얻도록 함침된 보강기판을 건조하고,

그리고 그 프리프레그 시트를 적층-형성하여 구성된 적층보드(laminated board)이다.

본 발명 2에 의하면, 반도체 플라스틱 패키지용 인쇄배선판이 제공되는데, 상기 인쇄배선판은, 양면(기판의 한 면과 다른 한 면)에 구리박을 갖고 열경화성 수지조성물을 함침하고 40~150 μ m두께의 유리조직(glass fabric) 모재로 형성된 구리-클래드 적층물을 준비하고, 회로보드를 형성하도록 그 구리-클래드 적층물에 적어도 반도체 칩 본딩 터미널, 솔더볼 연결패드, 본딩터미널과 상기 패드를 연결하기 위한 구리박 회로, 및 쓰루홀 전도성 물질을 배열한 다음, 전체 전면과 배면에 유리조직 모재/열경화성 수지의 프리프레그 시트를 적층하고, 결과로서 얻은 세트를 열과 압력하에서 적층한 다음, 회로를 노출하기 위해, 적어도 본딩 터미널표면과 솔더볼 연결패드 표면의 최소부분에 있는 유리조직과 열경화성 수지 조성물로 구성된 모재를 제거함으로써 형성된다.

나아가 본 발명 2에 의하면, 상기한 바와 같은 반도체 플라스틱 패키지용 인쇄배선판이 제공되는데, 상기 유리조직은 두께 50±10 μ m, 무게 35~60g/m², 그리고 가스 투과율(gas permeability)이 5~25cm³/cm².sec.인 적어도 하나의 직물 조직(woven fabric)이다.

또한, 본 발명 2에 의하면, 상기한 바와 같은 반도체 플라스틱 패키지용 인쇄배선판이 제공되는데, 상기 열경화성 수지 조성물은 필수성분으로서 다작용성 시아네이트 에스테르와 상기 시아네이트 에스테르의 예비중합체를 함유하는 것이다.

본 발명에 의하면, 기판에 대한 솔더볼의 접착력이 우수하고, 나아가 상기한 바와 같은 수지의 사용으로 열저항, 수분흡수후 전기적 절연 및 내이동성과 같은 성질이 우수한 CSP용 인쇄배선판이 제공된다.

이하, 본 발명을 보다 상세히 설명한다.

본 명세서에 첨부된 도면에 사용된 부호는 하기와 같이 나타낸다. a는 상부 구리패드, b는 직경이 100 μ m인 블라인드 비아홀, c는 솔더볼, d는 유리조직의 모재로 보강된 열경화성 수지층, e는 하부의 솔더볼 패드(solder ball pad), f는 구리도금(copper plating), g는 도금 레지스트(plating resist), h는 실버 페이스트(silver paste), i는 반도체 칩, j는 본딩와이어(bonding wire), k는 봉합수지(sealing resin), l은 본딩 터미널(bonding terminal), m은 블라인드 비아홀 전도성 물질, n은 상부패드의 배면인 구리-도금표면, o는 구리박, p는 회로, q는 쓰루홀(through hole), r은 프리프레그 시트, s는 반도체 칩 본딩패드부, t는 솔더볼 패드부, u는 언더 필 수지(under fill resin), 그리고 v는 범프(bump)를 나타낸다.

본 발명 1에 의하면, 기판에 대한 솔더 볼의 접착력이 우수하고, 나아가 특정한 수지의 사용으로 열저항, 수분흡수후 전기적 절연 및 내이동성과 같은 성질이 우수한 CSP용 인쇄배선판이 제공된다.

본 발명 2에 의하면, 상기 인쇄배선판의 왜곡이 감소되고, 특정한 수지의 사용으로 열저항, 수분흡수후 전기적 절연 및 내이동성과 같은 성질이 우수한 CSP용 인쇄배선판이 제공된다.

본 발명 1에 의해 제공되는 칩 스케일 패키지용 인쇄배선판의 구성요소는, 반도체 칩과 인쇄배선판이 도1에 따라 와이어 본딩법으로 결합되는 시스템에 기초하여 설명될 것이다.

반도체 칩크기의 스케일 패키징용 기판으로는, 두께가 0.2mm 이하인 양면 구리-클래드 적층물이 사용된다. 상기 구리-클래드 적층물의 한 면에는, 반도체 칩판의 터미널과 기판을 연결하기 위해 와이어본딩 터미널(l)이 형성된다. 반도체 칩과 인쇄배선판이 플립 칩 방법으로 연결되면, 플립 칩 본딩 터미널(미도시)이 형성된다.

상부 구리패드(a)는, 상기 와이어본딩 터미널과 블라인드 비아홀(b)의 전도성 물질(m)을 통해 하부에 연결될 수 있는 위치에 형성된다. 상기 상부 구리패드(a)는 양면 구리-클래드 적층물의 상부에 있는 구리박을 이용하여 형성된다. 솔더볼 고정패드(e)는 저면 블라인드 비아홀(b) 주변부에 형성된다. 상기 고정패드(e)는 상기 양면 구리-클래드 적층물의 저면상에 있는 구리박을 이용하여 형성된다. 본 발명은 적어도 두개의 블라인드 비아홀이 하나의 고정 패드(e)에 형성되는 것을 특징으로 한다. 상기 구리패드(a)와 블라인드 비아홀 전도성 물질(m)은 서로 전기적으로 연결된다. 상기 블라인드 비아홀 전도성 물질(m), 상부 구리패드(a) 배면상의 구리도금 표면(n), 및 솔더볼 고정패드(e)는 상기 블라인드 비아홀(b)에 녹아 함침된 솔더볼(c)로 합쳐진다. 상기 반도체 칩(i)는 실버 페이스트(h)와 같은 열적 전도성 접착제로 기판상에 정착되어 고정된다. 상기 반도체 칩(i)는 본딩와이어(j)로 본딩 터미널(l)에 연결된다. 적어도 반도체 칩, 본딩와이어, 및 본딩 터미널은 봉합수지(k)로 캡슐화된다.

본 발명 1에 있어서, 기판의 재료로는 특별히 한정하지 않는다. 상기 재료는, 예를 들어, 막의 양 표면에 직접 구리박을 붙이거나 접착제로 붙여서 형성된 양면 구리-클래드 적층물, 그러한 적층물의 다층보드, 두께가 0.2mm 이하이고, 열경화성 수지 조성물을 유기 또는 무기성유의 부직물 또는 직물조직에 함침하고, 프리프레그를 얻도록 상기 함침된 조직을 건조하고, 하나의 프리프레그 시트 혹은 둘 이상의 프리프레그 시트를 이용하고, 구리박을 상기 시트(시트들)의 양 표면에 배치하고, 그리고 열과 압력하에서 이들을 결합함으로써 형성된 양면 구리-클래드 적층물, 그리고 그러한 적층물의 다층보드와 같이, 잘 알려진 물질에서 선택할 수 있다.

상기 유기성유는 액상 크리스탈 폴리에스테르 성유와 전체 방향족 폴리아미드 성유(wholly aromatic polyamide fiber)와 같이 일반적으로 잘 알려진 성유를 포함한다. 상기 무기성유는 일반적으로 잘 알려진 유리성유(glass fiber)를 포함한다. 상기 성유들 중 어느 하나의 직물조직 또는 부직물조직이 사용될 수 있다. 이들의 혼합성유를 사용해도 좋다.

상기 막(film)은 일반적으로 알려진 막에서 선택될 수 있다. 구체적으로, 폴리이미드막이나 파라바네이트막에서 선택될 수 있다.

하나의 패드에 적어도 두개의 블라인드 비아홀을 만드는 방법은 공지방법에서 선택할 수 있다. 예를 들어, 구리박에 직경이 작은 홀을 미리 에칭하여 만들고, 양면 구리-클래드 적층물에 보다 작은 직경의 블라인드 비아홀을 만들기 위해, 상기 홀에 에너지가 5~18mJ/pulse인 저-에너지 카본 다이옥사이드 가스 레이저(low-energy carbon dioxide gas laser)를 조사시키는 방법, 카본 다이옥사이드 가스 레이저로 양면 구리-클래드 적층물이나 다층보드에 블라인드 비아홀을 만드는 방법으로, 금속산화물층(metal oxide layer)을 형성하도록 상기 레이저가 조사된 면을 처리하고, 피막형성을 위해 녹는점이 최소 900℃이고 결합에너지가 최소 300kJ/mol인 금속 화합물 파우더나 카본 파우더 중 적어도 하나의 파우더를 함유하는 피막 조성물과 같은 보조재료(auxiliary material)를 수용성 수지와 함께 상기 표면에 적용하거나, 또는 상기 보조재료를 열가소성 막의 한 면에 붙여서 제조된 홀-제조 보조시트(hole-making auxiliary sheet)를 바람직하게는 상기 보조재료가 구리박 표면에 마주보이도록 준비하고, 그리고 구리박을 가공하여 제거하기 위해 상기 구리박 표면에 상기 보조재료를 통해 카본 다이옥사이드 가스 레이저로 직접 조사하는 방법, 엑시머 레이저(eximer laser) 혹은 야그 레이저(YAG laser)로 홀을 제조하는 방법, 그리고 플라즈마로 홀을 제조하는 방법과 같이 일반적으로 알려진 것에서 선택할 수 있다.

바람직한 상기 보조재료 혹은 상기 보조시트는 전체두께가 30~200μm인 것이다.

본 발명에 있어서, 카본 다이옥사이드 가스 레이저에 의한 홀 제조용 상기 보조시트는 그대로 사용될 수 있다. 그러나, 상기 보조시트는 다층 보드상에 놓고, 양호한 형상을 갖는 홀을 만들기 위한 홀제조 동안 가능한 가까이 상기 다층보드와 접촉하도록 유지하는 것이 바람직하다. 일반적으로, 상기 보조시트는 다층보드 혹은 양면 구리-클래드 적층물에 테이프 등으로 고정 및 부착된다. 상기 보조시트를 다층보드나 양면 구리-클래드 적층물에 보다 완벽하게 접촉되도록 하기 위해서, 바람직하게는, 상기 보조시트를 다층보드 혹은 양면 구리-클래드 적층물에 부착하여, 상기 시트의 수지-적용면이 상기 보드나 적층물에 마주보이도록 하고 열과 압력하에서 그들이 적층되도록 하거나, 상기 수지-적용면을 미리 물로 3 μ m 이하의 깊이만큼 적시고, 그 시트를 상기한 바와 같이 부착하여 그들을 압력하 상온에서 적층한다. 이 경우, 상기 구리박 표면에 대한 시트의 부착력은 우수하고, 양호한 형태의 홀이 제조될 수 있다.

수지조성물로는, 물에 녹지 않지만 유기용매에 녹는 수지 조성물도 사용될 수 있다. 그러나, 그러한 수지 조성물은 카본 다이옥사이드 가스 레이저의 조사 동안 홀근처에 들러붙을 수 있어서, 이 경우 상기 수지의 제거를 위해서 물이 아닌 유기용매가 요구된다. 따라서, 유기용매의 사용은 공정의 관점에서 곤란하고, 더욱이 전-단계에서 오염문제가 야기되므로 바람직하지 않다.

본 발명에서 사용되는 기판, 혹은 그 기판의 부분으로서 사용된 열경화성 수지 조성물의 수지는 일반적으로 공지된 열경화성 수지에서 선택될 수 있다. 구체적으로, 에폭시 수지, 다작용성 시아네이트 에스테르수지, 다작용성 말레이미드-시아네이트 에스테르 수지, 다작용성 말레이미드수지, 혹은 불포화-기-함유 폴리페닐렌 에테르 수지에서 선택된다. 이러한 수지들은 단독 혹은 조합하여 사용될 수 있다. 출력이 높은 카본 다이옥사이드 가스 레이저의 조사에 의해 양호한 형상을 갖는 쓰루홀을 제조하기 위해서, 150 $^{\circ}$ C 이상의 유리전이온도를 갖는 열경화성 수지조성물을 사용하는 것이 바람직하다. 내습성(humidity resistance), 내이동상과 수분흡수 후 전기적 성질의 견지에서는, 다작용성 시아네이트 에스테르 수지 조성물을 사용하는 것이 바람직하다.

본 발명에 있어서, 적절한 열경화성 수지조성물인 다작용성 시아네이트 에스테르 화합물은 분자당 최소 2 시아나토기를 갖는 화합물이다. 그에 대한 구체적인 예로는, 1,3- 혹은 1,4-디시아나토벤젠, 1,3,5-트리아나토벤젠, 1,3-, 1,4-, 1,6-, 1,8-, 2,6- 혹은 2,7-디시아나토나프탈렌, 1,3,6-트리아나토나프탈렌, 4,4'-디시아나토비페닐, 비스(4-디시아나토폰)메탄, 2,2'-비스(4-시아나토폰)프로판, 2,2'-비스(3,5-디브로모-4-시아나토폰)프로판, 비스(4-시아나토폰)에테르, 비스(4-시아나토폰)티오에테르, 비스(4-시아나토폰)술폰, 트리스(4-시아나토폰)포스파이트, 그리고 노볼락과 시안 할라이드의 반응으로 얻어진 시아네이트가 포함된다.

상기 화합물 이외에, 일본 특허공개 No.41-1928, 43-18468, 44-4791, 45-11712, 46-41112 그리고, 47-26853과 JP-A-51-63149에 개시된 다작용성 시아네이트 에테르 화합물도 사용될 수 있다. 또한, 분자량이 400-6000이고 이들 다작용성 시아네이트 에테르 화합물 중 2합체 시아나토기에 의해 형성된 트리진고리를 갖는 예비중합체가 사용될 수 있다. 상기 예비중합체는 광산(mineral acid) 혹은 루이스산과 같은 산, 소듐 알콜레이트 혹은 3차 아민과 같은 염기, 또는 소듐 카보네이트 같은 염의 존재하에서 상기 다작용성 시아네이트 에테르 단량체를 중합화함으로써 얻어진다. 상기 예비중합체는 부분적으로 미반응 단량체를 함유하고, 단량체와 예비중합체의 혼합물 형태로 있으며, 상기 형태에서 예비중합체는 또한 본 발명에서 적절히 사용된다. 일반적으로, 그것은 사용전에 용해가능한 유기용매에 용해된다.

상기 에폭시수지는 일반적으로 공지의 에폭시수지에서 선택된다. 그것에 대한 구체적인 예로는 액상 또는 고상 비스페놀 A 타입 에폭시 수지, 비스페놀 F타입 에폭시 수지, 페놀 노볼락 타입 에폭시 수지, 크레졸 노볼락 타입 에폭시 수지, 알리씨클릭 에폭시 수지, 부타디엔, 펜타디엔, 비닐씨클로헥센 혹은 디씨클로펜틸 에테르, 폴리올의 이중결합을 에폭시화함으로써 얻어진 폴리에폭시 화합물, 그리고 히드록실-기-함유 실리콘 수지와 에포할로히드린과의 반응에 의해 얻어진 폴리글리시딜 화합물이 있다. 이들 수지는 단독 혹은 조합하여 사용될 수 있다.

상기 폴리이미드 수지는 일반적으로 공지의 폴리이미드 수지에서 선택된다. 구체적으로, 그것은 다작용성 말레이미드와 폴리아민, 특히 JP-B-57-005406에 개시된, 터미널 상중결합을 갖는 폴리이미드로부터의 반응생성물에서 선택된다.

상기 열경화성 수지는 단독으로 사용될 수 있지만, 성질들의 조화를 고려하여 그들을 적절히 조합하여 사용하는 것이 바람직하다.

본 발명에서는 그 조성물의 고유한 성질이 손상되지 않는 한, 상기 열경화성 수지 조성물에 다양한 첨가제(additives)가 추가될 수 있다. 상기 첨가제로는 불포화 폴리에스테르, 이들의 예비중합체와 같이 폴리머화가 가능한 이종결합을 갖는 단량체, 분자량이 낮은 탄성고무 혹은 폴리부타디엔, 에폭시화 부타디엔, 말레이트화 부타디엔, 부타디엔-아크릴로니트릴 코폴리머, 폴리클로로프렌, 부타디엔-스티렌 코폴리머, 폴리이소프렌, 부틸 고무, 플로린 고무와 천연 고무, 폴리에틸렌, 폴리프로필렌, 폴리부텐, 폴리-4-메틸펜텐, 폴리스티렌, AS수지, ABS 수지, MBS 수지, 스티렌-이소프렌 고무, 폴리에틸렌-프로필렌 코폴리머, 4-플루오로에틸렌-6-플루오로에틸렌 코폴리머, 고-분자-량 예비중합체와 같이 분자량이 높은 탄성 고무, 혹은 폴리카보네이트, 폴리페닐렌 에테르, 폴리술폰, 폴리에스테르와 폴리페닐렌 술파이드와 같은 올리고머, 그리고 폴리우레탄이 있다. 이러한 첨가제들은 필요에 따라 사용된다. 또한, 유기 혹은 무기 충전재(filler), 염료(dye), 안료(pigment), 농화제(thickener), 윤활제(lubricant), 기포형성 방지제(anti-foamer), 분산제(dispersing agent), 조절제(leveling agent), 광감제(photo-sensitizer), 방염제(flame retardant), 증백제(brightener), 중합억제제(polymerization inhibitor) 그리고 틱소트로피제(thixotropic agent)와 같은 다양한 공지의 첨가제가 단독 혹은 조합으로, 필요에 따라 사용될 수 있다. 경화제(curing agent) 또는 촉매는 반응기를 갖는 화합물에, 필요에 따라 도입된다.

본 발명에서 사용된 상기 열경화성 수지 조성물은 열이 있는 상태에서 경화 자체를 겪는다. 그러나, 경화속도가 낮기 때문에, 가공성과 경제적 수행 등이 나쁠 때는, 공지의 열-경화 촉매(heat-curing catalyst)가 열경화성 수지에 도입된다. 상기 열경화성 수지의 100중량부(parts by weight) 당 촉매의 양은 0.005~10중량부, 바람직하게는 0.01~5중량부이다.

본 발명에서 보조재료에 사용된, 녹는점이 최소 900℃이고 결합에너지가 최소 300kJ/mol인 금속 화합물은 일반적으로 공지의 금속화합물에서 선택될 수 있다. 예를 들어, 산화물(oxide)이 사용된다. 상기 산화물로는 티타늄 산화물과 같은 티타니아, 마그네슘 산화물과 같은 마그네시아, 아이런 산화물과 같은 철의 산화물, 니켈 산화물과 같은 니켈의 산화물, 마그네스 다이옥사이드와 같은 마그네스의 산화물, 징크 산화물과 같은 아연의 산화물, 실리콘 다이옥사이드, 알루미늄 산화물, 희토류 금속 산화물, 코발트 산화물과 같은 코발트의 산화물, 티 산화물과 같은 주석의 산화물 그리고 텅스텐 산화물과 같은 텅스텐의 산화물이 있다. 또한, 비-산화물(non-oxide)이 사용될 수 있다. 상기 비-산화물로는, 실리콘 카바이드, 텅스텐 카바이드, 보론 니트라이드, 실리콘 니트라이드, 티타늄 니트라이드, 알루미늄 니트라이드, 바륨 셀레이트, 희토류 금속 셀레이트, 알루미늄 히드록사이드와 마그네슘 히드록사이드와 같은 일반적으로 알려진 산화물이 있다. 또한, 금속 산화물 파우더의 혼합물인 다양한 유리들도 사용될 수 있다. 나아가, 실버, 알루미늄, 비스무스, 코발트, 구리, 철, 마그네슘, 마그네스, 몰리브덴, 니켈, 팔라듐, 안티모니, 실리콘, 주석, 티타늄, 바나듐, 텅스텐과 아연의 홑원소 물질(simple substance)의 파우더, 혹은 이들 합금의 금속파우더가 사용될 수 있다. 나아가, 카본 파우더가 사용될 수 있다. 이들은 단독 혹은 조합으로 사용된다. 이들의 입자직경은 특히 한정되지 않지만, 1 μ m 이하인 것이 바람직하다.

카본 다이옥사이드 가스레이저가 조사될 때, 분자는 해리되거나 분산되도록 용융된다. 따라서, 반도체 침이나 그들이 흠뻑에 물을 때 흠뻑의 부착성 등에 해로운 효과가 없는 것이 바람직하다. Na, K 혹은 Cl을 함유하는 파우더는 반도체의 신용성이 나쁜 영향을 주기 때문에, 바람직하지 않다. 상기 파우더의 양은 3~97vol%, 바람직하게는 5~95vol%이다. 상기 파우더는 수성 용액에 균일하게 분산되어 수반되는 것이 바람직하다.

보조재료에 있어서 상기 수용성-수지는 특히 한정되지 않지만, 개어져 구리박 표면에 가해지고, 건조되거나 시트로 형성화될 때 구리박 표면에서 떨어지지 않는 것들로 부터 선택하는 것이 바람직하다. 예를 들어, 폴리비닐 알콜, 폴리에스테르, 폴리에테르와 전분(starch)과 같은 공지의 수지에서 선택된다.

금속 화합물 파우더, 카본 파우더나 금속 파우더와 수지를 함유하는 조성물을 제조하는 방법은 특히 정해져 있지 않다. 상기 방법으로는, 고온에서 니더(kneader)로 용매없이 물질을 개고(kneading) 상기 개어진 혼합물을 시트의 형태로 열가소성 수지 표면에 정착하도록 압출 성형하는 방법과, 그리고 물에 수용성 수지를 용해하고, 거기에 상기 파우더를 첨가하고, 그들을 저어서 균일하게 혼합하고, 열가소성 막 표면에 피막 조성물로서 상기 혼합물을 가하고, 그리고 피막을 형성하도록 그것을 건조하는 방법과 같은 공지방법이 있다. 상기 시트 혹은 피막(coating)의 두께는 특히 한정하지 않지만, 건조후 전체두께가 30~200 μ m이다.

또한, 금속 산화물을 형성하도록 구리박 표면을 처리한 다음 유사하게 흠을 제조하는 실시형태가 이용된다. 그러나, 상기 흠형태의 견지에서, 상기 보조재료를 사용하는 것이 바람직하다.

상기 보조시트가 열과 압력하에서 구리박 표면에 적층될 때, 그 위에 가해진 수지층면은 구리박 표면에 부착되고, 상기 수지층을 구리박 표면에 가깝게 부착시키도록, 일반적으로 40~150℃, 바람직하게는 60~120℃의 온도에서 일반적으로 0.5~30kg, 바람직하게는 1~10kg의 선압력(linear pressure)에서, 상기 보조시트는 상기 수지층을 용융함에 의해 롤로 상기 구리박 표면에 적층된다. 이용되는 온도는 선택된 수용성 수지의 녹는점과 또한 선택된 선압력과 적층률에 따라 다르다. 일반적으로, 상기 적층은 수용성 수지의 녹는점보다 5~20℃ 높은 온도에서 수행된다. 상기 보조시트가 상온에서 상기 구리박 표면에 가깝게 부착될 때, 상기 가해진 수지층 표면은 어느정도 수용성 수지를 용해하도록 물로 3μm 이하의 깊이 만큼 적셔지고, 상기 보조시트는 상기 압력하에서 적층된다. 물로 상기 수지층을 적시는 방법은 특히 한정하지 않지만, 예를 들어, 가해진 수지층 표면에 롤로 물을 계속 가한 다음, 상기 보조시트를 상기 구리-클래드 적층물에 계속적으로 적층하는 방법, 혹은 가해진 수지층 표면에 물을 계속하여 분무한 다음, 상기 구리-클래드 적층물에 상기 보조시트를 계속적으로 적층하는 방법이 이용될 수 있다.

상기 보강 다층보드는 다음과 같이 제조된다. 먼저, 보강재가 상기 열경화성 수지 조성물로 채워지고, 함침된 보강재는 B-스테이지 조성물에서 건조되어, 프리프레그가 얻어진다. 상기 보강재는 유기 혹은 무기 부직물 혹은 직물조직에서 선택된다. 미리 정해진 수의 프리프레그 시트가 적층되고, 구리박은 상기 적층된 프리프레그 시트의 적어도 한 면위에 배치되고, 결과로서 생긴 세트는 구리-클래드 적층물을 형성하도록 열과 압력하에서 적층-형성된다. 그렇게 얻어진 구리-클래드 적층물의 각 표면상의 구리박은 두께가 3~12μm인 것이 바람직하다. 내부층(inner layer)으로서 구리박은 구께가 9~35μm인 것이 바람직하다.

다층보드로는, 구리-클래드 다층보드가 사용된다. 상기 구리-클래드 다층보드는, 보강 모재를 갖는 구리-클래드 적층물에 회로를 형성하고, 구리박 표면을 처리한 다음, 보강 모재를 갖는 B-스테이지 프리프레그 혹은 모재가 없는 수지시트, 거기에 부착된 수지를 갖는 구리박 및 적어도 한 면에 피막 조성물을 적용하여 형성된 수지층을 준비하고, 구리박 혹은 최외층 표면이나 표면들 상의 구리박들을 배치하고 그리고, 열과 압력하에서, 바람직하게는 진공중에서 결과로서 생긴 세트(set)를 적층-형성함으로써, 제조된다. 상기 보강재는, 두께가 얇을 때 밀도가 높은 것(공극(void)이 감소되는 기판)이 바람직하다. 예를 들어, 두께가 50μm인 유리 직물조직의 보강재는 밀도가 50~60/m²이다.

일반적으로 배면 솔더볼 패드는 직경이 200~500μm이고, 그 솔더볼 패드에는 최소 2개의 흠이 제조된다. 각 흠의 직경은 특히 제한되지 않지만, 고밀도 인쇄배선판이 제조될 때, 일반적으로 50~150μm이다. 상기 흠은 상기 보조재료가 표면에 배열되는 동안, 카본 다이옥사이드 가스레이저로 제조되는 것이 바람직하다. 상기 흠은 블라인드 비아홀로서 제조된다. 흠이 그 반대면 구리박 일부를 관통하더라도, 반대면 구리박에서 상기와 같이 제조된 흠부(hole portion)는 전적으로 혹은 거의 전적으로 층이 형성되도록 패널도금(panel plating)으로 채워져서, 상기 흠부는 인쇄배선판의 제조에 영향을 미치지 않는다.

상기 보조재료에 구리-클래드 적층물이 배치되고, 직경이 약 100μm인 흠을 제조하도록 예를 들어 20~60n/pulse의 레이저 에너지가 조사되면, 구리박의 버(burr)가 상기 흠의 주변부에 발생한다. 매우 높은 밀도의 회로가 요구될 때는, 상기 표면 구리박의 두께를 감소시킨다. 카본 다이옥사이드 가스 레이저로 조사한 후, 상기 구리박 표면은 이차원적으로 기계적으로 혹은 두께 방향에서 각 구리박의 부분을 제거하도록 화학적으로 에칭되는 것이 바람직하다. 이 경우, 상기 버도 제거된다. 이렇게 제조된 구리박은 미세패턴과 각 흠 주변에 잔재하는 구리박을 갖는 비아홀을 형성하는데 적합하고, 고밀도 인쇄배선판의 제조에 적합하다. 이 경우, 흠부상의 돌기가 쉽게 제거될 수 있고, 에칭은 폴리싱으로 유발되는 치수변화가 없기 때문에, 기계적인 폴리싱보다는 에칭이 보다 바람직하다.

상기 흠부에 발생하는 구리 버와 두께방향에서의 표면 구리박부분을 제거하는 방법은 특히 한정하지 않는데, 예를 들어, JP-A-02-00887, JP-A-22896, JP-A-02-25089, JP-A-02-25090, JP-A-02-60189, JP-A-02-166789, JP-A-03-25995, JP-A-03-60183, JP-A-03-94491, JP-A-04-199592 및 JP-A-04-263488에 개시된 화학적으로 금속표면을 제거함에 의해 용해하는 방법

이 있다. 상기 에칭은 일반적으로 $0.02\sim 1.0\mu\text{s}$ 의 속도로 수행된다.

상기 블라인드 비아홀이 카본 다이옥사이드 가스 레이저로 제조될 때, 처음부터 끝까지 $20\sim 60\text{r/pulse}$ 에서 선택된 에너지로 조사하는 것이 가능하다. 그러나, 전면과 내부층으로서의 구리박이 먼저 제거될 때는, 상기 구리박을 제거하기 위해서 높은 에너지를 선택하는 것이 바람직하고, 상기 구리박의 두께에 따라 $5\sim 35\text{m/pulse}$ 에서 선택된 에너지는 상기 홀의 홀저부(bottom portion)를 형성하도록 조사하는데 사용된다. 홀 제조 상태는 내부층으로서의 구리박의 존재유무에 따라 변화될 수 있다.

구리도금은 일반적으로 알려진 구리도금방법에 따라 수행될 수 있다. 또한, 상기 블라인드 비아홀은 도금으로 부분적으로 함침된다.

본 발명 2는, $40\sim 150\mu\text{m}$ 두께의 유리조직(glass fabric)을 갖는 양면 구리-클래드 적층물을 기판으로서 사용한다. 본 발명 2는, 회로보드를 형성하도록 적어도 반도체 칩 본딩 터미널, 솔더볼 연결 패드, 본딩 터미널과 상기 패드의 연결용 구리박 회로, 그리고 상기 구리-클래드 적층물에서의 쓰루홀 전도성 물질을 배열한 다음, 전체 전면과 배면상의 유리조직 모재/열경화성 수지의 프리프레그 시트를 쌓고, 열과 압력하에서 결과로서 생성된 세트를 적층한 후, 회로를 노출시키기 위해, 적어도 상기 본딩 터미널의 표면부분과 상기 솔더볼 연결패드의 표면부분상의 유리조직과 열경화성 수지 조성물을 제거하고, 상기 터미널의 구리박 표면을 임의로 전-처리하고, 그리고 니켈도금과 금도금을 수행함으로써 형성된 인쇄배선판을 제공한다.

반도체 플라스틱 패키지는 다음과 같이 형성된다. 반도체 칩은 상기 인쇄배선판 표면에 열적-전도성 접착제로 접착되어 고정되고, 와이어본딩에 의해 거기에 연결되고, 상기 표면은 봉합수지로 캡슐화된다. 다른 방법으로는, 반도체 칩 하부의 범프(bump)가 플립칩 본딩에 의해 인쇄배선판의 터미널에 녹아 부착되고, 상기 반도체 칩의 하부 면은 언더 필 수지(under fill resin)로 접착되어 고정된 다음, 솔더볼이 상기 인쇄배선판의 배면에 녹아 부착된다.

다작용성 시아네이트 에스테르 수지 조성물이 양면 구리-클래드 적층물용 열경화성 수지 조성물로서 사용될 때, 열저항, 압력쿠커(pressure cooker)로 처리한 후의 전기적 절연 및 내이동성이 우수한 인쇄배선판을 얻을 수 있다.

본 발명 2의 상기 양면 구리-클래드 적층물은, 열경화성 수지로 일반적으로 알려진 유리직물조직을 함침하고 함침된 유리직물조직과 그러한 적층물의 다층보드를 건조하여 제조된 양면 구리-클래드 적층물을 포함한다. 일반적으로, 상기 유리섬유 직물조직은 E, S, 및 D 유리섬유와 같은 공지의 유리섬유의 직물을 포함하는데, 상기 유리섬유 직물조직은 일반적으로 두께가 $30\sim 150\mu\text{m}$ 이다. 상기 유리조직은 수지 조성물이 유리섬유에 불도록 하고, 상기 수지조성물을 열이 있는 상태에서 B-스테이지하고(B-staging), 그리고 두께가 $40\sim 150\mu\text{m}$ 인 적층물을 형성함으로써 제조된다. 이들 필라멘트(filaments)의 혼합 생성물도 사용될 수 있다. 모재로는, 두께가 얇은 고밀도의 모재가 바람직하다. 상기 모재는 두께가 $50\pm 10\mu\text{m}$ 이고, 무게가 $35\sim 60\text{g/m}^2$ 이고 가스 투과율이 $5\sim 25\text{cm}^3/\text{cm}^2\cdot\text{sec}$ 이다. 그러한 모재의 적어도 하나가 사용된다. 또한, 두께가 $30\sim 150\mu\text{m}$ 인 하나의 유리섬유 직물조직이 사용될 수 있다. 상기 직조법(weaving method)은 특히 한정하지 않지만, 평직물(plain-woven fabric)이 바람직하다.

본 발명 2에서 사용된 열경화성 수지 조성물용 수지는 본 발명 1에 기재된 열경화성 수지에서 선택하는 것이 바람직하다.

무기 절연 충전제는 본 발명 2에서 뿐 아니라, 본 발명 1에서도 사용될 수 있다. 상기 무기 절연 충전제는 일반적으로 알려진 충전제에서 선택된다. 그에 대한 구체적인 예로는, 천연 실리카, 하소 실리카, 그리고 비정질 실리카, 화이트 카본, 티타늄 화이트, 에어로겔, 점토 활석, 규회석, 천연 운모, 인공운모, 카올린, 마그네시아, 알루미늄, 필라이트, 알루미늄 히드록사이드 및 마그네슘 히드록사이드가 있다. 상기 조성물에 대한 상기 충전제의 양은 $10\sim 80\text{wt}\%$, 바람직하게는 $20\sim 70\text{wt}\%$ 이다. 상기 무기 절연 충전제는 입자 직경이 $1\mu\text{m}$ 이하인 것이 바람직하다. 본 발명에서 있어서, 상기 혼합물은 방염성(flame retardancy), 카본 다이옥사이드 레이저로 홀을 제조하는데 적합하기 때문에, 알루미늄 히드록사이드와 마

그네송 히드록사이드의 혼합물이 사용되는 것이 바람직하다.

유리조직의 모재를 갖는 상기 구리-클래드 적층물은 다음과 같이 제조된다. 먼저, 상기 모재는 열경화성 수지 조성물로 채워지고, 상기 조성물은 프리프레그를 형성하도록 8-스테이지된다(8-staged). 구리박은 상기 프리프레그의 양면에 배치되고, 그리고 결과로서 생긴 세트는 열과 압력하에서, 바람직하게는 진공중에서 적층-형성된다. 양면의 각 구리박은 두께가 3~12 μ m인 것이 바람직하다. 두께가 40~150 μ m인 본 발명 2에서 사용된 유리조직의 모재를 갖는 상기 구리-클래드 적층물은 얇은 두께로 너브(nerve)가 없어서, 상하면상의 솔더 레지스트(solder resist)변화와 구리박 잔류비의 차이로 인해 심하게 왜곡될 수 있다. 따라서, 인쇄배선판로서 가공성이 나쁘고 높은 결함비율(defect ratio)을 갖는다. 본 발명 2는, 회로와 쓰루홀을 갖고 필요에 따라 화학적으로 표면처리된 인쇄기판의 전면과 배면상에 유리조직 모/열경화성 수지의 프리프레그 시트를 배열하고, 상기 레지스트(resist)를 이용하는 대신에, 그들 외부에 릴리즈막(release film)을 배치하고, 열과 압력하에서, 바람직하게는 진공중에서 적층-형성에 의해 그들을 결함함에 의해, 왜곡이 매우 향상된 인쇄배선판을 제공할 수 있다.

상기 본딩 터미널 표면부와 배면상의 상기 솔더를 연결패드의 표면부에 있는 상기 유리조직 모/열경화성 수지층은, 샌드블라스트법(sand blast method)으로 제거되는 것이 바람직하고, 그 다음 상기 구리박 표면은, 예를 들어, 소프트 에칭(soft etching)으로 처리되고, 니켈도금과 금도금은 종래방법에 따라 수행된다. 자연적으로, 상기 인쇄배선판은 카본 다이옥사이드 가스 레이저로 가공될 수 있다.

본 발명 1에 따른 반도체 칩 크기 스케일 패키지용 인쇄배선판에 있어서, 향상된 솔더볼의 전단응력(shear strength)이 제공된다. 또한, 다작용성 시아네이트 에스테르와 다작용성 시아네이트 에스테르의 예비중합체가 상기 구리-클래드 적층물용 수지를 위한 필수요소로 사용되면, 열저항, 압력 쿠커로 처리한 후의 전기적 절연, 내이동성이 우수한 칩 크기 스케일 패키지용 인쇄배선판이 제공된다.

본 발명 2에 따른 반도체 플라스틱 패키지용 인쇄배선판에 있어서, 상기 인쇄배선판의 왜곡이 감소되고, 와이어본딩이나 플립 칩본딩에 의해 장착된 반도체 칩을 갖는 반도체 플라스틱 패키지의 왜곡 또한 감소된 인쇄배선판을 얻을 수 있다. 또한, 다작용성 시아네이트 에스테르와 다작용성 시아네이트 에스테르의 예비중합체가 상기 열경화성 수지 조성물을 위한 필수요소로 사용되면, 열저항, 압력 쿠커로 처리한 후의 전기적 절연, 내이동성이 우수하고, 대량 생산성(mass-productibility)도 우수한 인쇄배선이 제공된다.

실시예

이하, 실시예와 비교예를 통해 본 발명을 구체적으로 설명할 것이다. 여기서 '부'는 달리 명시하지 않는한, '중량부'를 나타낸다.

(실시예 1)

2,2-비스(4-시아나토펜일)프로판 900부와 비스(4-말레이마도페닐)메탄 100부를 150℃에서 녹여서 4시간 동안 저으면서 반응시켜, 예비중합체로 한다. 상기 예비중합체는 메틸 에틸 케톤과 디메틸포르마이드의 혼합용매에서 용해된다. 결과로서 생성된 혼합물에 비스페놀 A 타입 에폭시 수지(상표명: Yuka-Shell Epoxy K.K의 Epikote 1001) 400부와 크레즐 노볼락 타입 에폭시 수지(상표명: Sumitomo Chemical Industry Co., Ltd.의 ESCN-220F) 600부를 첨가하고, 이들 재료들을 균일하게 용해 혼합한다. 또한, 촉매로서 징크 옥틸레이트(zinc octylate) 0.4부를 첨가, 용해, 혼합하였다. 결과로서 생성된 혼합물에 유기 충전제(상표명: Nippon Talc K.K의 Calcined Talc BST #200) 500부와 흑색안료 8부를 첨가하고, 이들 재료를 균일하게 젖고 혼합하여 바니쉬 A를 준비하였다. 무게가 53g/m²이고 두께가 50 μ m인 유리 직물조직에 상기 바니쉬를 함침하고, 함침된 유리 직물조직을 150℃에서 건조하여 젤라틴 시간이 120초(170℃에서)이고 수지조성물 함량이 51wt%인 프리프레그(프리프레그 B)를 제조하였다. 각 두께가 12 μ m인 전해 구리박(electrolytic copper foils)을 상기 프리프레그 B의

합쳐진 두 시트의 상하면(즉, 한 면과 다른 한 면)에 각각 배치하고, 결과로서 생성된 세트를 30mmHg의 진공하 2시간 동안 200℃에서 20kgf/㎠으로 적층형성하여, 전체 두께(상기 구리박의 두께를 포함)가 134μm인 양면 구리-클래드 적층물 C를 제조하였다.

단독으로, 물에 폴리비닐 알콜 파우더를 용해하여 제조된 바니쉬에는 탈크 800부(평균 입자 직경: 0.4μm, 상표명: BST#200)를 첨가하였고, 상기 혼합물을 균일하게 저었다. 30μm 두께의 피막을 형성하기 위해, 50μm 두께의 폴리에틸렌 테레프탈레이트 막의 한 면에 상기 혼합물을 가하고, 탈크 함량이 40vol.%인 보조재료 D를 제공하도록 30분 동안 110℃에서 건조하여 상기 피막을 형성하였다. 상기 보조재료는 상기 구리-클래드 적층물에 배치하여, 상기 수지표면이 구리박면에 마주보이도록 하였고, 보조재료는 압력하 100℃에서 핫롤로 거기에 부착되었다. 카본 다이옥사이드 가스 레이저로 40n/pulse의 출력에서 직접 1펄스(pulse)를 조사하여 상기 구리박의 7mm×7mm의 사각크기(square size)에 100개의 홀을 제조하였다. 그 다음, 상기 카본 다이옥사이드 가스 레이저의 출력을 20m/pulse로 감소시키고, 20m/pulse의 출력에서 상기 홀 바닥에 1펄스 조사하였다. 또한, 비아홀 바닥, 즉, 상면 구리박의 수지면에는, 각각 직경이 300μm인 솔더볼 패드에서 직경이 100μm인 3개의 홀(도1의 (b))을 제조하도록 7m/pulse의 출력에서 1샷(shot) 조사하였다. 상기 구리박의 잔류 두께가 5μm가 될 때까지 상기 구리를 용해하기 위해, SUEP처리를 수행하고, 결과로서 생성된 보드를 플라즈마 장치에 배치하고, 10분간 산소플라즈마에서 처리하고, 또한 비아홀에서의 잔류 수지층 전면과 배면 구리박 중 앞층을 제거하도록 5분간 아르곤 분위기에서 처리함에 의해, 보드의 두께는 4μm였다. 그 결과 생성된 보드를 과망간칼륨 수성용액에 넣고, 초음파로 씻음-처리한 다음, 일반적인 무전해도금과 구리전해도금처리한다(도1 (f),(m)). 결과로서 생성된 표면을 소프트-에칭하고, 회로(라인/스페이스=50/50μm)를 종래방법으로 전면과 배면에 형성하고, 그 보드의 어떠한 부분은 도금레지스트(plating resist)(도1 (g))로 피복하였는데, 적어도 본딩 패드부(도1의 (l))와 솔더볼 패드부(도1의 (e))는 예외로 한다. 상기보드에 니켈과 금도금하여 인쇄배선판을 얻는다. 반도체 칩(도1의 (i))은 실버 페이스트(도1의 (h))로 인쇄배선판에 정착고정하고 본딩와이어(도1의 (j))으로 상기 본딩패드(도1의 (l))에 연결하였고, 수지로 캡슐화(도1의 (k))를 수행하였다. 또한, 솔더볼(도1의 (c))을 용융-부착하였다. 이와 같이 하여 생긴 인쇄배선판을 평가하고, 그 결과를 표1에 나타낸다.

(실시예2)

에폭시 수지(상표명: Epikote 5045) 700부, 에폭시수지(상표명: ESCN-220F) 300부, 디사인디아미드 35부 및 2-에틸-4-메틸이미다졸 1부를 메틸 에틸 케톤과 디메틸 포르마이드의 혼합용매에 용해하고, 상기 혼합물을 균일하게 저었다. 실시예 1에서 사용한 것과 같은 유리조직에 상기 혼합물을 함침하고, 함침된 유리조직을 건조하여 젤라틴 시간이 150초인 프리프레그 E를 제공하였다.

상기 프리프레그 E의 세 시트를 결합하고, 12μm 두께의 전해 구리박을 상기 결합된 시트들의 양면, 즉 한 표면과 다른 표면에 배치하였다. 결과적으로 생긴 세트를 30mmHg 이하의 진공하 190℃에서 20kg/㎠으로 적층-형성하여, 상기 구리박 두께를 포함하여 두께가 189μm인 양면 구리-클래드 적층물을 제공하였다. 각 직경이 125μm인 세개의 블라인드 홀을 유사하게 제조하고, 그 블라인드 홀의 각각 27vol.%를 펄스도금(pulse plating)(일본 Lea Ronal법)에 의해 채웠다. 그 후, 실시예 1과 같은 방식으로 인쇄배선판을 제조하고 솔더볼을 연결하였다. 이와 같이 하여 얻어진 인쇄배선판을 평가하고, 그 결과를 표1에 나타낸다.

(비교예1, 2)

인쇄배선판을 얻기 위해, 블라인드 홀이 없거나 직경이 100μm인 한개의 블라인드 홀이 솔더볼 패드에 제조된 것을 제외하고는, 실시예 1을 반복하였다. 이와 같이 하여 얻어진 인쇄배선판을 평가하고, 그 결과를 표1에 나타낸다.

(비교예 3)

프리프레그를 제조하기 위해, 상기 유리조직을 무게가 48g/㎠이고 두께가 50μm인 유리조직으로 대체하고, 상기 프리프레

그 E의 세 시트를 사용하는 대신에, 상기 프리프레그의 두 시트를 사용한 것을 제외하고는, 실시예2를 반복하였다. 그러나, 상기 블라인드 홀은 슬더볼 패드에서 제조되지 않는다. 이와 같이 하여 얻어진 인쇄배선판을 평가하고, 그 결과를 표 1에 나타낸다.

[표 1]

	실시예		비교예		
	1	2	1	2	3
유리전이온도	235	160	235	235	160
볼 전단응력	1.15	1.09	0.52	0.71	0.48
점탄성	2.0	1.9	—	—	1.0
압력 쿠키 처리후 절연저항(Ω)					
정상상태	4×10^{13}				6×10^{13}
처리후 200시간	6×10^{12}				2×10^{12}
처리후 500시간	6×10^{11}				1×10^{11}
처리후 700시간	4×10^{10}				—
처리후 1000시간	2×10^{10}				—
내이동성(Ω)					
정상상태	6×10^{13}				2×10^{13}
처리후 200시간	5×10^{11}				1×10^{10}
처리후 300시간	3×10^{11}				4×10^9
처리후 500시간	1×10^{11}				1×10^8
처리후 1000시간	9×10^{10}				—
열주기검사	1.6	2.3	—	2.5	—

단: 유리전이온도: $^{\circ}\text{C}$, 볼 전단응력: kgf, 점탄성: $\times 10^9 \text{dyne/cm}^2$

<측정방법>

1) 유리전이온도(glass transition temperature)

DMA법으로 측정됨

2) 볼 전단응력(ball shear strength)

수평응력하에서 측정됨

3) 점탄성(viscoelasticity)

에칭에 의해 구리박이 제거되는 적층물을 이용하여 DMA법으로 측정됨

4) 압력쿠커(pressure cooker)처리후 절연저항(insulation resistance)값

라인/스페이스=50/50인 빗-형태의 패턴을 형성하고, 사용된 프리프레그를 그 위에 배치하고, 결과로서 생긴 적층물을 미리 정한 시간동안 2대기압하 121℃에서 처리한 다음, 25℃ 60%RH에서 2시간 동안 처리하고, 500VDC를 적용하고, 그리고 상기 적용후 60초동안, 터미날 사이의 절연저항(insulation resistance)을 측정하였다.

5) 내이동성(anti-migration properties)

50 VDC를 85℃, 85%RH에서 상기 4)와 같은 시험시편에 적용하였고, 터미날 사이의 절연저항을 측정하였다.

6) 블라인드 비아홀 열주기시험

내부에 블라인드 홀이 제조되는 100개의 패드를 한 표면에서 다른 표면으로 교대로 연결하고, 상기 연결된 패드는, 슬더 내에서 260℃에서 30초간~ 상온에서 5분간 함침하는 것으로 구성된 주기로, 각각 200열주기를 시험하였다. 저항치의 변화율이 가장 큰 값이 나타난다.

(실시에 3)

실시에 1에서 사용된 것과 같은 바니쉬 A를 준비하고, 상기 무기 충전제 500부와 흑색 안료 8부를 추가하는 것을 생략한 것을 제외하고는, 실시예1과 같은 식으로 바니쉬 F를 준비하였다.

50 μ m 두께의 유리 직물조직(무게: 53g/m², 가스 투과율: 7cm/cm².sec)에 상기 바니쉬 A를 함침하고, 함침된 유리 직물조직을 150℃에서 건조하여, 젤라틴 시간이 120초(170℃에서)이고 수지조성물 함량이 51wt%인 프리프레그 G1 혹은 젤라틴 시간이 103초 이고 수지조성물 함량이 60wt% 인 프리프레그 G2를 얻었다.

각 두께가 12 μ m인 전해 구리박(도2(o))을 상기 프리프레그 G1의 결합된 두 시트의 양표면에 배치하고, 결과로서 생긴 세트를 30mmHg 이하의 진공하에서 2시간동안 200℃에서 20kg/cm²로 적층-형성하여, 두께가 121 μ m인 절연층을 갖는 양면 구리-클래드 적층물 H를 제공하였다(도2의 단계 1). 직경이 150 μ m인 쓰루홀(도2(q))를 기계적 드릴로 상기 양면 구리-클래드 적층물에 제조하고, 상기 양면 구리-클래드 적층물 전부를 구리로 도금하였다. 회로(도2(p))는 양 표면상에 만들었고, 그 표면에는 흑색 구리 산화물을 형성시켜, 인쇄배선판(I)를 얻었다(도2의 단계(2)). 상기 프리프레그 G2의 시트들(도2(r))을 상기 인쇄배선판 I의 양면(즉, 한 면과 다른 한 면)에 각각 한 시트를 배치하고, 릴리즈막(release film)을 그 위에 배치하였고, 결과로서 생긴 세트를 유사하게 적층-형성하였다(도2의 단계(3),(4)). 그 다음, 상기 릴리즈막을 벗겨내고, 액상 UV 선택적 열경화성 피막 조성물을 상기 보드의 전체 전면과 배면에 바르고 건조하였다. 그 다음, 전면의 본딩패드부(도2(s))와 배면의 볼패드부(도2(t))를 제외하고, 상기 피막 조성물을 경화하기 위해 상기 보드에 UV를 조사하였다. 상기 본딩패드부와 볼 패드부의 레지스트를 제거하도록 알칼라인 수성용액으로 현상(development)하였고, 상기 유리 조직 모재/열경화성 수지 조성물을 샌드블라스트법으로 제거하여, 결합패드와 슬더볼패드를 노출하였다(도2의 단계(5)). 그 다음, 상기 피막 조성물은 그것을 제거하도록 용해하였다. 그 후, 노출된 구리박 표면을 소프트-에칭하고, 니켈도금과 금도금을 종래방법에 따라 수행하여, 사각크기가 25mm× 25mm인 인쇄배선판 J를 얻었다. 상기 인쇄배선판 J를 평가하고, 그 결과를 표2에 나타낸다. 사각크기가 15mm× 15mm인 반도체 칩(도2(i))을 실버 페이스트(도2(h))로 상기 인쇄배선판 표면에 접착시켜 와이어-본딩한 다음, 전체 표면을 에폭시 수지 화합물(도2(k))로 수지-봉합하여, 반도체 플라스틱 패키지 K를 얻었다(도2의 단계 (6)). 그 반도체 플라스틱 패키지를 평가하고, 그 결과를 표2에 나타낸다.

(실시에 4)

알루미늄 히드록사이드 3290부와 마그네슘 히드록사이드 1410부(평균 입자 직경 10.8 μ m)의 혼합물에 실시예 3에서 사용된

것과 같은 바니쉬 F를 첨가하고, 바니쉬 L을 제공하도록 이 물질들을 완전히 저었다. 실시예 3에서 사용된 것과 같은 유리 직물조직에 상기 바니쉬 L을 넣어 젤라틴시간이 150초이고 수지조성물 함량이 71wt%인 프리프레그 M을 제공하였다. 또한, 젤라틴 시간이 35초이고 수지 조성물 함량이 60wt%인 프리프레그 N을 얻었다. 상기 프리프레그 N 중 두 시트를 합하고, 12 μ m 두께의 전해 구리박을 양면(즉, 한 면과 다른 한 면)에 각각 하나씩 배치하고, 실시예 3과 같은 방식으로, 결과로서 생긴 세트를 적층-형성하여 절연층 두께가 119 μ m인 양면 구리-클래드 적층물을 제공하였다. 두께가 40 μ m인 피막을 형성하기 위해, 물과 메탄올의 혼합물에서 구리산화물 파우더의 40vol.%를 함유하는 수용성 폴리에테르 수지 조성물 용액을 상기 양면 구리-클래드 적층물 표면에 적용하고, 건조하여 피막을 형성하였다. 상기 피막에 직경이 100 μ m인 쓰루홀을 제조하기 위해, 35mJ/pulse의 에너지에서 카본 다이옥사이드 가스 레이저로 4샷 조사하였고, 홀부와 상기 구리박 표면에 생기는 구리박 버를 용해제거하여, 상기 구리박의 두께는 각각 3 μ m였고, 버는 제거되었다. 전체 전면, 배면과 쓰루홀은, 양면에 회로를 형성하기 위해, 구리-도금된 15 μ m 두께였다. 상기 프리프레그 M의 시트를 양 표면에 배치하고, 그 위에 릴리즈막을 배치하고, 결과로서 생긴 세트를 유사하게 적층-형성하여 상기 릴리즈막을 벗겨냈다.

상기에서 얻어진 적층물의 양 표면에 UV 레지스트를 유사하게 적용하고 건조시켰다. 전면상의 반도체 플립 칩 범프부와 배면상의 볼패드부를 제외하고, 상기 적층물에는 UV를 조사하고, 알칼라인 수성용액으로 유사하게 현상(development)하고, 유리조직 모재와 열경화성 수지조성물을 샌드블라스트법(sand blast method)으로 제거하고, 상기 피막 조성물을 제거하고, 그리고 니켈도금과 금도금을 수행하여, 인쇄배선판 O를 얻었다. 상기 인쇄배선판을 평가하고, 그 결과를 표2에 나타낸다. 사각크기가 15mm× 15mm인 반도체 칩을 사각크기가 16mm× 16mm인 상기 인쇄배선판 O에 플립칩 본딩법으로 장착하고, 상기 반도체 칩의 저면은 언더 필 수지로 채워서(filling) 고정하고, 솔더볼은 용융하여 배면에 고정시켜서 반도체 플라스틱 패키지 P를 얻었다. 상기 반도체 플라스틱 패키지를 평가하고, 그 결과를 표2에 나타낸다.

(비교예 4)

실시예 3에서 제조된 것과 같은 인쇄배선판 J의 양면에 UV선택적 열경화성 레지스트를 적용하고, 두께가 50 μ m인 피막을 형성하도록 건조하고, 그리고 노출후 배면상의 반도체 칩 본딩 패드부와 솔더볼 패드부에서 레지스트를 현상으로 제거하였다. 상기 레지스트가 열이 있는 상태에서 경화된 후, 인쇄배선판 Q를 얻도록 니켈도금과 금도금을 수행하였다. 상기 인쇄배선판 Q상에 반도체 칩을 유사하게 쌓고, 와이어본딩과 수지로 캡슐화를 수행하여, 반도체 플라스틱 패키지 R을 얻었다. 상기 반도체 플라스틱 패키지를 평가하고, 그 결과를 표2에 나타낸다.

(비교예 5)

실시예 3에서, 열경화성 수지조성물로서, 에폭시 수지(상표명: Epikote 5045) 700부, 에폭시 수지(상표명: ESCN-220F) 300부, 디시안디아미드 35부 및 2에틸-4-메틸이미다졸 1부를 메틸 에틸 케톤과 디메틸포르마이드의 혼합용매에 용해하고, 그 혼합물을 균일하게 저어서 제조된 열경화성 수지 조성물이 사용되었다. 공극(void)이 가득하고, 무게 4g/cm³, 두께 51 μ m, 가스 투과율 50cm³/cm².sec.인 유리조직에 상기 열경화성 수지 조성물을 함침하여, 젤라틴시간이 150초이고 수지조성물 함량이 55wt%인 프리프레그 S를 얻었다.

상기 프리프레그 S중 두 시트를 합하고, 12 μ m 두께의 전해 구리박을 양면(즉, 한 면과 다른 한 면)에 각각 하나씩 배치하고, 결과로서 생긴 세트를 30mmHg 이하의 진공하 190℃에서 20kg/cm²으로 적층-형성하여, 양면 구리-클래드 적층물을 얻었다. 그 후, 상기 양면 구리-클래드 적층물을 비교예 1과 같은 방식으로 가공하여 인쇄배선판 T를 얻었다. 반도체 칩을 전면에 장착하고, 와이어본딩과 수지로 캡슐화를 전면에 대하여 수행하였다. 솔더볼을 배면에 부착하여, 반도체 플라스틱 패키지 U를 얻었다. 상기 반도체 플라스틱 패키지 U를 평가하고, 그 결과를 표2에 나타내었다.

<<<<

	실시예		비교예	
	3	4	4	5
유리전이온도(℃)	235	235	235	160
점탄성($\times 10^{10} \text{dyne/cm}^2$)	2.0	1.9	—	1.2
압력쿠커처리후 절연저항(Ω)				
정상	4×10^{14}	—	—	6×10^{14}
처리후 200시간	6×10^{12}	—	—	2×10^{11}
처리후 500시간	6×10^{11}	—	—	1×10^8
처리후 700시간	4×10^{10}	—	—	—
처리후 1000시간	2×10^{10}	—	—	—
내이동성(Ω)				
정상	6×10^{13}	—	—	2×10^{13}
처리후 200시간	5×10^{11}	—	—	7×10^9
처리후 300시간	3×10^{11}	—	—	1×10^8
처리후 500시간	1×10^{11}	—	—	—
처리후 1000시간	9×10^{10}	—	—	—
방염성(UL94)	—	V-0	—	—
왜곡(250×250mm) 인 쇄배선판(mm)				
J	0.6			
O		0.5		
P			9	
S				15
반도체 플라스틱 패키지(μm)				
K	150			
P		150		
Q			850	
U				1020

<측정방법>

1) 왜곡

· 인 쇄배선판

작업크기(work size)가 250× 250mm인 인쇄배선판을 베이스 플레이트(base plate)에 배치하고 왜곡의 최대값을 측정하였다.

· 반도체 플라스틱 패키지

사각크기가 15× 15mm인 반도체 칩을 사각크기가 16× 16mm 혹은 25× 25mm인 인쇄배선판에 장착하고, 반도체 플라스틱 패키지에 대해 왜곡의 최대값을 측정하였다.

2) 방염성(flame retardancy)

인쇄배선판의 구리박을 에칭하여 제거하고, 상기 인쇄배선판을 UL94에 따라 검사하였다.

발명의 효과

본 발명은 반도체 플라스틱 패키지용 인쇄배선판에 관한 것으로, 본 발명에 따르면 열저항, 수분흡수후 전기적 절연성 및 내이동성에 있어서, 패키지의 두께, 크기 및 무게의 강소로 인해 유발되는 퇴화를 극복할 수 있는 CSP용 인쇄배선판이 제공가능한 효과가 있는 것이다.

(57) 청구의 범위

청구항 1. 두께가 0.2mm 이하이고 그 양면(즉, 한 면과 다른 한 면)에 각각 구리박을 갖는 절연층으로 형성된 양면 구리-클래드 적층물을 갖는 인쇄배선판에 있어서,

상기 양면 구리-클래드 적층물은 상부 구리박 표면과 하부 구리박 표면을 갖고;

상기 상부 구리박 표면은, 기판에 반도체 칩의 터미날을 연결하기 위한 와이어본딩(wire bonding)이나 플립 칩본딩(flip chip bonding) 및, 그 와이어 본딩이나 플립칩본딩 터미날에 전기적으로 연결될 수 있고 그리고 하부 구리박 표면에 형성된 블라인드 비아홀에 연결될 수 있는 위치에 구리패드를 갖고;

상기 하부 구리박 표면은, 상기 구리패드에 대응하는 위치에 솔더-볼-고정 패드를 갖고;

상기 솔더-볼-고정패드는 그 안에 최소 두개의 블라인드 비아홀을 갖고; 그리고,

상기 구리패드의 배면에 전도성물질로 연결된 상기 솔더-볼-고정패드는, 블라인드 비아홀에 녹아 채워져 마운딩되는(mounded) 솔더볼로 전도성 물질에 전기적으로 연결되는 것을 특징으로 하는, 반도체 플라스틱 패키지용 인쇄배선판(printed wiring board).

청구항 2. 제1항에 있어서, 상기 반도체 플라스틱 패키지용 인쇄배선판은 칩 스케일 패키지용 인쇄배선판인 것을 특징으로 하는 반도체 플라스틱 패키지용 인쇄배선판.

청구항 3. 제1항에 있어서, 상기 양면 구리-클래드 적층물의 절연층은, 필수요소로서 다작용성 시아네이트 에스테르와 상기 시아네이트 에스테르의 예비중합체를 함유하는 열경화성 수지 조성물로 피복된 막이나 그러한 막의 다층보드로 형성되는 것을 특징으로 하는 반도체 플라스틱 패키지용 인쇄배선판.

청구항 4. 제1항에 있어서, 상기 양면 구리-클래드 적층물의 절연층 혹은 프리프레그 시트를 적층-형성하여 얻어진 다층보드는, 필수요소로서 다작용성 시아네이트 에스테르와 상기 시아네이트 에스테르의 예비중합체를 함유하는 열경화성

수지 조성물을 보강 소재에 함침하고(impregnating) 보강 소재를 건조함으로써 얻어지는 것을 특징으로 반도체 플라스틱 패키지에용 하는 인쇄배선판.

청구항 5. 제4항에 있어서, 상기 보강 소재는 유기 혹은 무기 직물 혹은 부직물 조직(fabric)인 것을 특징으로 하는 반도체 플라스틱 패키지에용 인쇄배선판.

청구항 6. 제1항에 있어서, 상기 블라인드 비아홀은, 금속 산화물층을 형성하기 위해 카본 다이옥사이드 레이저가 조사되는 구리박 표면을 처리하거나, 혹은 녹는점이 900℃ 이상이고 결합에너지가 최소 300k/mol인 금속 화합물 파우더 혹은 카본 파우더의 피복 조성물로 구성된 보조재료를 수용성 수지와 함께 카본 다이옥사이드 레이저가 조사되는 구리박상에 배치하고 그리고 카본 다이옥사이드 가스 레이저를 그 구리박에 조사함으로써 제조된 블라인드 비아홀인 것을 특징으로 하는 반도체 플라스틱 패키지에용 인쇄배선판.

청구항 7. 제6항에 있어서, 상기 금속 화합물 파우더는, 금속 산화물, 금속 비-산화물, 금속, 금속합금, 그리고 유리 그룹에서 선택된 적어도 하나의 파우더인 것을 특징으로 하는 반도체 플라스틱 패키지에용 인쇄배선판.

청구항 8. 인쇄배선판에 있어서, 인쇄배선판은, 양면에 구리박(즉, 기판의 한 면에 구리박이 있고 다른 한 면에도 구리박이 있는)이 있고, 두께가 40~150 μ m이고 열경화성 수지 조성물이 함침된 유리조직의 소재로 구성된 구리-클래드 적층물을 제공하고; 회로보드를 형성하기 위해 적어도 반도체 칩 본딩 터미날, 솔더볼 연결패드, 본딩터미날과 상기 패드의 연결용 구리박 회로, 및 상기 구리-클래드 적층물에서의 스루홀 전도성 물질을 배열하고; 그 다음 전체 전면과 배면에 유리조직 소재/열경화성 수지의 프리프레그 시트를 쌓은 다음, 열과 압력하에서 결과로서 생긴 세트를 적층하고; 그 후 회로를 노출하기 위해 상기 본딩터미날과 솔더볼 연결패드의 최소 일부가 상기 유리조직과 열경화성 수지 조성물로 구성된 소재를 제거함에 의해 형성되는 것을 특징으로 하는 반도체 플라스틱 패키지에용 인쇄배선판.

청구항 9. 제8항에 있어서, 상기 플라스틱 패키지에용 인쇄배선판은 매우 얇은 BGA 타입 반도체 플라스틱 패키지에용인 것을 특징으로 하는 반도체 플라스틱 패키지에용 인쇄배선판

청구항 10. 제8항에 있어서, 상기 유리조직은 두께 50 \pm 10 μ m, 무게 35~60g/m², 그리고 가스 투과율이 5~25cm³/cm².sec. 인 적어도 하나의 직물조직(woven fabric)인 것을 특징으로 하는 반도체 플라스틱 패키지에용 인쇄배선판

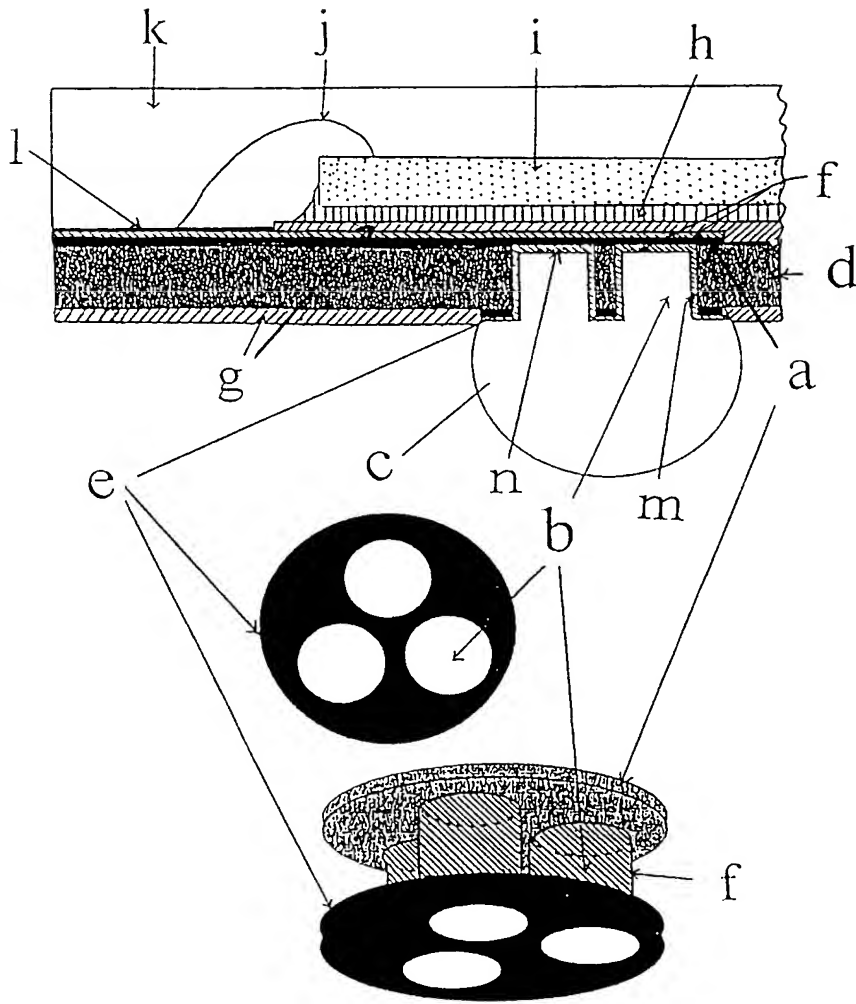
청구항 11. 제8항에 있어서, 상기 본딩터미날과 솔더볼 연결패드의 최소 일부가 유리조직과 수지 조성물로 구성된 소재는, 회로를 노출하도록, 샌드블라스트법으로 제거되는 것을 특징으로 하는 반도체 플라스틱 패키지에용 인쇄배선판.

청구항 12. 제8항에 있어서, 상기 열경화성 수지 조성물은, 주성분으로서 다작용성 시아네이트 에스테르와 상기 시아네이트 에스테르의 예비중합체를 함유하는 열경화성 수지 조성물인 것을 특징으로 하는 반도체 플라스틱 패키지에용 인쇄배선판.

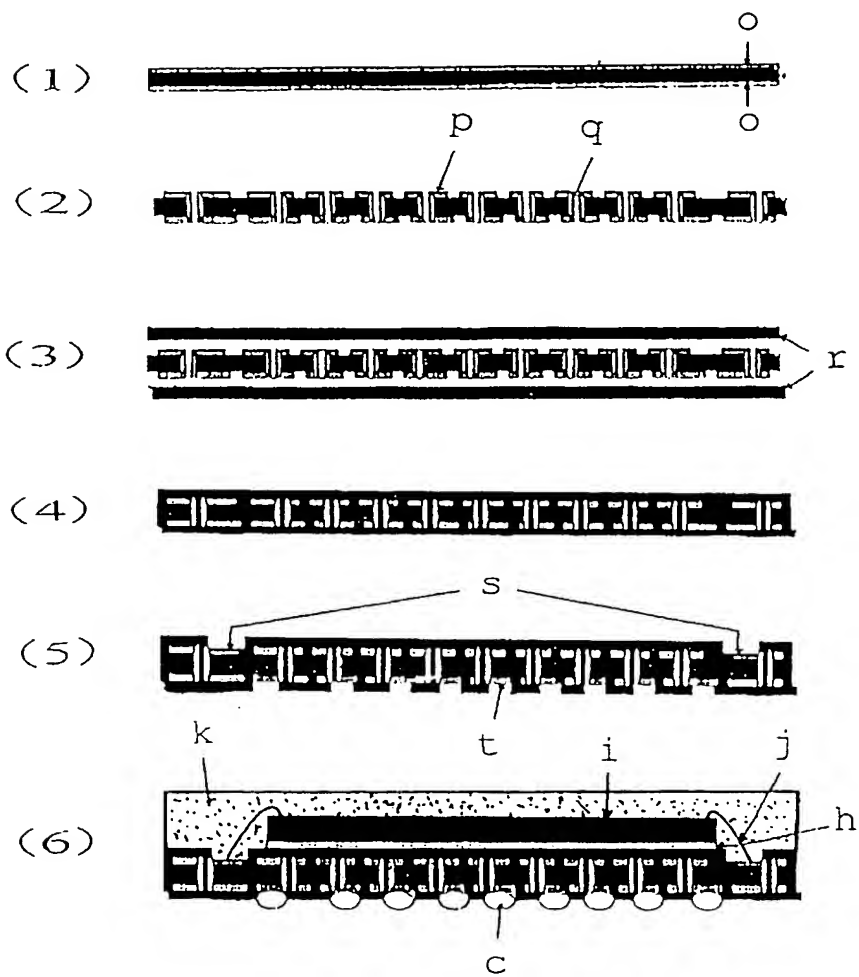
청구항 13. 제8항에 있어서, 상기 구리-클래드 적층물의 수지 조성물은 절연 무기 충전제의 10~80wt%를 함유하는 것을 특징으로 하는 반도체 플라스틱 패키지에용 인쇄배선판.

청구항 14. 제13항에 있어서, 상기 절연 무기 충전제는 알루미늄 히드록사이드 혹은 마그네슘 히드록사이드인 것을 특징으로 하는 인쇄배선판.

도면1



도면2



도면3

